

# BEST AVAILABLE COPY

## TRANSLATION

---

- (19) Japan Patent Office (JP)  
(11) Laid Open Patent Application  
(12) PUBLIC REPORT OF A LAID OPEN APPLICATION (A) Hei 3-114333  
(51) Int. Cl.<sup>5</sup> Classification Codes  
H 04 L 12/48 A  
7/00 Z  
H 04 N 7/00  
H 04 L 11/20 Z

Intraoffice Serial Numbers:

8949-5K  
8838-5C  
7830-5K

- (43) Laid Open Date: May 15, 1991

Request for Examination: Not requested  
Number of Claim Clauses: 3  
(Total of 9 pages)

---

(54) Name of the Invention:

Clock synchronization format in packet transmission, a packet transmitter, and a packet receiver.

- (21) Patent Application No.: 1-250443  
(22) Application Date: September 28, 1989  
(72) Inventor: Tatsuya Ishikawa  
Kanagawa-ken, Kawasaki-shi, Saiwai-ku,  
Komukai, Toshiba-cho, 1-banchi  
Toshiba Incorporated General Research Center  
(72) Inventor: Hiroshi Take  
Kanagawa-ken, Kawasaki-shi, Saiwai-ku,  
Komukai, Toshiba-cho, 1-banchi  
Toshiba Incorporated General Research Center  
(71) Applicant: Toshiba Incorporated  
Kanagawa-ken, Kawasaki-shi, Saiwai-ku,  
Horikawa-cho, 72 banchi  
(74) Agent: Takehiko Suzue, Patent Attorney, and (3) others

## Specifications

### 1. Name of the Invention

Clock synchronizing format in packet transmission, a packet transmitter, and a packet receiver.

### 2. Scope of the Claims of the Patent

(1) A system to transmit information signals through a packet transmission network that operates at a clock of set frequency, characterized in that within said system, transmitter clock frequency data indicating the relative frequency of the transmitter clock (relative to the clock of the above mentioned packet transmission network) is packeted along with information signal data and then transmitted; at the receiving side, receiver clock frequency data indicating the relative frequency of the receiver clock (relative to the clock of the above-mentioned packet transmission network) is compared to the above-mentioned transmitter clock frequency data that is received; frequency is controlled based on the results of this comparison, and the transmitter clock and the receiver clock are synchronized.

(2) A packet transmitter characterized as having means to detect the relative frequency of the transmitter clock with respect to the packet transmission network clock, and to generate transmitter clock frequency data indicating said relative frequency; and transmission means whereby said transmitter clock frequency data is packeted and transmitted along with information signal data.

(3) A packet receiver characterized as having means to resolve transmitter clock frequency as well as information signal data within packets transmitted from the packet transmission network; means to temporarily store resolved information signal data and transmitter clock frequency data; means to detect the relative frequency of the receiver clock with respect to the packet transmission network clock, and to generate receiver clock frequency data indicating said relative frequency; comparison means to compare the receiver clock frequency data and the transmitter clock frequency data stored in the above-mentioned memory means; and means to control the above-mentioned receiver clock frequency based on the results of this comparison means.

### 3. Detailed Explanation of the Invention

#### (Objectives of the Invention)

#### (Benefits in Terms of Industry)

The present invention relates to a clock synchronization format to synchronize transmitter clock and receiver clock, as well as a packet transmitter and a packet receiver appropriated to this clock format. These are used in a system wherein continuous information signals (like television signals and audio signals) are packaged and transmitted, and which are not interrupted or broken over time.

#### (Prior Art)

Transmission circuits of a set velocity are conventionally used to transmit television signals (image signals) and audio signals. In recent years, though, wide band ISDN (integrated services digital network), a non-synchronous transmission mode

(packet transmission mode using cells of a set length, hereafter called 'ATM') has been proposed. This offers a chance to exploit transmission circuits in such a way as to packet and transmit continuously generated data like television signals, audio signals, and so on.

Television signals and audio signals that are merely sampled and quantized (PCM coded) constitute data of a set velocity. However, when high-efficiency coding is performed to remove signals' inherent redundancy and sensory redundancy, the resulting data is generally of variable velocity. For such variable velocity data, it is more effective to use set velocity transmission circuits than to use variable velocity transmission systems like ATM. Another advantage is that coding quality can be kept at a high level.

In packet transmission, though, it is important to establish clock synchronization between transmitter and receiver. When clock synchronization is not established, the volumes of coded and decoded data differ because proper decoding cannot occur. In ATM transmissions of television signals and the like, synchronization (bit synchronization) of the ATM network clock and the data source clock must be considered. In other words, this does not imply that bit synchronization for the bit rates, etc... of the individual data sources in the ATM transmission system must be considered, but that there must be correspondence to the various data sources in the individual terminals (television signal coders, decoders, etc...) connected to the ATM network. Figure 4 depicts the synchronous relationship between transmitter and

receiver when television signals are transmitted through an ATM system.

In Figure 4, television image signals input to signal source/terminal (41) are digitalized using clock (frequency  $f_s$ ) from clock generating source (43) as the sampling frequency. This is done with studio device (41), for example.

Digitalized image signals (all subsequent explanations involve digitalized image signals, so they shall simply be called 'image signals') are input to the coding system and highly efficiently coded by image coding circuit (44), which operates by means of a coding clock (frequency  $f_c$ ) from clock emitting source (45). The signals are then input to the first interface (46). Interface (46) is supposed to connect the coding system and the ATM system (packet transmission) and consists of a packaging buffer memory, a packet header attachment circuit, and so on.

Image signals packaged by the second interface (46) go through ATM network (47), which is operated by clock (frequency  $f_{ATM}$ ) from clock emitting source (48), and are input to the second interface (49) which performs the reverse operation of interface (46). Image signals packet-resolved at the second interface (49) are decoded by image decoding circuit (50), which operates by means of a decoding clock (frequency  $f_d$ ) from clock emitting source (51), and are then output from terminal (52).

Because the signal source, coding, ATM transmission, and decoding in the system of Figure 4 all operate by means of independent clock emitting sources (43), (45), (48), and (51), the clocks must somehow be synchronized. In other words, in

synchronous transmission systems like circuit modes, each and every clock is phase-synchronized beforehand. In packet transmission systems, like ATM transmission systems, special methods to connect signal sources and terminals are usually not considered, and thus they operate at a characteristic clock frequency ( $f_{ATM}$  in Figure 4). Consequently, when the signal source clock ( $f_s$ ) is supplied from outside, no phase synchronization relationship is maintained at a frequency ratio that results in  $f_s/f_{ATM}=n/m$  (wherein  $n$  and  $m$  are integers) between coding clock and ATM clock.

Furthermore, coding clock frequency  $f_c$  and decoding clock frequency  $f_d$  must be the same. Between coding circuit (44) and decoding circuit (50), though, is an ATM transmission system that uses its particular clock frequency  $f_{ATM}$ , thus making it impossible to phase-synchronize coding clock and decoding clock.

In the past, these two countermeasures against the problems mentioned above were considered.

(1) The coding clock and the ATM clock, as well as the decoding clock, are phase-synchronized (more specifically, coding clock and decoding clock are each synchronized based on the ATM clock), but the signal source clock remains independent. When this is done, the signal source and the decoding circuit are non-synchronous, so interface between them is done with a frame synchronizer.

(2) At first, the signal source clock and the coding clock are phase-synchronized and are then input in their existent state to a non-synchronous ATM clock transmission system. At that time,

interfacing occurs using interface (6) shown in Figure 4. In this case, of course, the output of the ATM transmission system and the decoding clock are non-synchronous. Therefore, the decoding clock must somehow be controlled in the decoding circuit so that it matches the coding clock.

Figures 5 and 6 are block diagrams depicting the use of above-mentioned methods (1) and (2), respectively.

In Figure 5, coding circuit (44), ATM network (47), and decoding circuit (50) are phase-synchronized beforehand using PLL circuits (55) and (56), as with a circuit mode synchronous transmission system. As mentioned earlier, though, the clock frequency  $f_{\text{ATM}}$  used in the ATM network was determined without any consideration for its relationship to the integer ratio of  $f_c$  and  $f_d$ . Therefore, the above-mentioned  $n/m$  frequency ratio of signal source clock and ATM clock is usually complex. What's more, the comparison frequency in the phase-synchronous loop becomes exceedingly small, the disadvantage thus being that it is hard to stably operate PLL circuits (55) and (56).

Moreover, the signal clock source input to terminal (53) from outside operates independently of other clocks. Thus, the clock frequency must be converted by frame synchronizer (54). Frame synchronizer (54) has image frame memory. Write-in and read-out occur in this memory by means of an optional clock. A non-synchronous image processing system can thus be connected. Yet not only is this costly, but image skipping occurs (jumps, repeated operations). At times, then, image problems arise. There

are other problems, too, in that the corresponding delay time for images and audio changes a great deal.

Figure 6 is an example in which coding clock and signal source clock input to terminal (53) are phase-synchronized beforehand by PLL circuit (61), and clock frequency synchronization is maintained independently by decoding circuit (50). In decoding circuit (50), image parallel/vertical synchronous signals, etc... multiplexed beforehand in packets are detected, and decoding clock frequency output from clock emitting circuit (65) is controlled such that these synchronized signals appear at set intervals in the decoding process. In other words, synchronous words emitted from the packet resolution/synchronous word detection circuit (62) (operated by ATM clock) are separated from the image coding data and written-in to buffer memory (63) by means of ATM clock. When read-out occurs using decoding clock, the synchronous word count in buffer memory (63) is detected by synchronous word count detection circuit (64), and the decoding clock frequency is controlled. The synchronous word count in buffer memory (63) signifies the volume of synchronous words passing through at each point in time. If these are uniform, then the coding side and the decoding side frequencies match.

When method (2) discussed earlier is used, the problems of method (1) involving coding/decoding clock and ATM clock synchronization are resolved. Moreover, the frame synchronizer becomes unnecessary. However, the following drawbacks do exist. Namely, the ATM network is a packet transfer system and image coding data is not transmitted at a set velocity. Thus there are



time fluctuations among packets reaching the receiving side because the network is empty. Naturally, though, these fluctuations are cancelled by long-term integration. There is, however, a correspondingly low frequency component that affects the stability of decoding clock frequency control. Therefore, decoding clock contains a lot of low frequency control. Consequently, decoding clock ends up containing a lot of low frequency jitters owing to the effect of the ATM network's status.

(Problems the Invention Endeavors to Overcome)

As described above, it is conventionally necessary that when transmitting packets of image signals and the like, there should be a phase-synchronous loop having a very low comparison frequency, and a frame synchronizer. Decoding clock frequency easily affected by the status of the ATM network might also have to be controlled. These and other problems relating to difficulties in creating the circuits, difficulties with performance, etc... persist.

In this invention, packet transmission of image signals and so on is done with a simple circuit structure. The aim is to offer a clock synchronization format that can establish stable clock synchronization between transmitter and receiver. The invention also provides a packet receiver and a packet transmitter that use this clock format.

(Structure of the Invention)

To achieve the above-mentioned aims, the clock synchronization format of this invention is characterized in that it transmits from the transmitter, and in the form of packets,

transmitter clock frequency data that indicates the relative frequency of the transmitting clock (with respect to the packet transmission network clock) along with information signals; at the receiver, a comparison is made between the receiver clock frequency data that indicates the relative frequency of the receiver clock (with respect to the packet transmission network clock) and the transmitter clock frequency data that is received; based on the results of this comparison, the frequency of the receiver clock is controlled, whereby the transmitter clock and the receiver clock are synchronized.

Also, the packet transmitter of this invention has means to detect the relative frequency of the transmitter clock (with respect to clock supplied from the packet transmission network) and to generate transmitter clock frequency data indicating said relative frequency; it is also has means to packet transmitter clock frequency data, together with information signal data, and to transmit them.

Moreover, the packet transmitter of this invention has: means to resolve information signal data within packets transmitted from the packet transmission network, and to resolve transmitter clock frequency data; memory means to temporarily store resolved information signal data and transmitter clock frequency data; means to detect the relative frequency of the receiver clock (with respect to clock supplied from the packet transmission network) and that also generates receiver clock frequency data that indicates said relative frequency; comparison means to compare the stored transmitter clock frequency data and the receiver clock

frequency data; and means to control receiver clock frequency based on the comparison means and the comparison results.

(Function)

It is generally hard to accurately detect clock frequencies output from oscillators, and it is also extremely difficult to detect clock frequencies from two independent oscillators and completely negate the difference in frequency between them.

In this invention, absolute accuracy is not needed to detect the transmitter and receiver clock frequencies. Using clock supplied from the packet transmission network as a standard, the type of relative frequency is detected. With the receiver being notified about transmitter clock frequency data, clock synchronization is established between receiver and transmitter. In other words, transmitter clock frequency data, about which the receiver is informed, is compared to receiver clock frequency data indicating a relative frequency like that on the receiving side. With these comparison results, receiver clock frequency is controlled so that the transmitter and the receiver clocks each have relative frequencies that match with respect to the packet transmission network clock.

This is essentially how frequency is controlled in the clock frequency format of this invention. The invention does not achieve phase synchronization. Out of necessity, though, packet transmission systems usually have a buffer memory as a means of temporary storage, and phase aberrations between transmitter clock and receiver clock are absorbed by the buffer memory. The buffer

memory also absorbs aberrations in the control loop's transient response time frequency.

(Embodiments)

Next, embodiments of the invention will be explained while referring to the figures.

Figure 1 is a block diagram of the essential parts of the transmitting and receiving sides of an image packet transmission system wherein the clock synchronization format of this invention is used.

First, on the transmission side, image signals input to signal input terminal (11) are input to a signal processing circuit, like image coding circuit (13), along with receiver clock that is supplied to clock input terminal (12) (hereafter referred to as 'coding clock') from outside and which is in sync with the image signals. Coding occurs at circuit (13). The output of the coding circuit (13) is input to interface circuit (14). Interface circuit (14) consists of a packaging circuit for packet transmission, and a buffer memory circuit for clock frequency conversion. Coding clock input to terminal (12) is also applied to the clock input of counter (15).

Clock (hereafter called 'ATM clock') supplied to the transmitter from ATM network (20) (a packet transmitting network) is input to dividing circuit (16) at the same time it is input to interface circuit (14). At dividing circuit (16), a pulse operates at a frequency that is  $1/N$  the ATM clock frequency (where  $N$  is a positive integer). This pulse is applied to the count-clear input of counter circuit (15). This counter circuit (15)

counts the coding clock number within a given time period, and for which ATM clock is the standard, and then emits the counter results. These counter results are data  $\omega_1$  (referred to as 'transmitter clock frequency data'), which indicates the relative frequency of the coding clock frequency when the standard is ATM clock frequency, and which is multiplexed in a transmission packet via interface circuit (14), along with coded image signals, and then forwarded to ATM network (20).

Transmission packets that are resolved on the receiving side by resolution circuit (21) are synchronized with the ATM clock and are successively written-in to buffer memory circuit (22). In such cases, image signals multiplexed in packets, as well as receiver clock frequency data  $\omega_1$ , are written-in to buffer memory circuit (22).

ATM clock supplied from the ATM network (20) to the receiver is divided into  $1/N$  frequency by means of dividing circuit (23) in exactly the same way as the transmitter. It is then applied to the count-clear input of counter circuit (24). This counter circuit (24) counts the receiver clock (hereafter called 'decoding clock') number within a given period, with ATM clock as the standard. Then the count result is emitted. This count result is data  $\omega_0$  (hereafter called 'receiver clock frequency data') and it signifies the relative frequency of the decoding clock and in which ATM clock frequency is the standard. Receiver clock frequency data  $\omega_0$ , which is the count result of counter circuit (24), is input to the subtraction input terminal of subtraction circuit (25). Into the addition input terminal of subtraction

circuit (25) is input transmitter clock frequency data  $\omega_1$ , which is read-out by decoding clock from buffer memory (22). Accordingly, the signal of the difference between the two relative frequencies ( $\omega_1 - \omega_0 = \Delta\omega$ ) is emitted.

After the output of subtraction circuit (25) is integrated by loop filter (26), it is input to the control input terminal of variable frequency clock generating circuit (27), which is meant to produce decoding clock. For loop filter (26), a completely integrated, no-leak filter is most appropriate. If the return control loop is structured such that when  $\Delta > 0$  ( $\omega_1 > \omega_0$ ) the decoding clock frequency becomes high, and when  $\Delta < 0$  the decoding clock frequency becomes low, the decoding clock will also be synchronous with the ATM clock, the result being the establishment of synchronization between the coding clock (transmitter clock) and the decoding clock (receiver clock). In such cases, regular frequency aberrations will not occur owing to the integrating function of loop filter (26).

Moreover, even if there are fluctuations in packet arrival time owing to ATM network (20), these will be absorbed by buffer memory (22). Thus the control loop is unaffected with regards to receiver clock, and extreme stability is maintained. In ATM network (20), though, so-called 'package loss' can occur whereby

packets can possibly be omitted depending on the state of use. If, in such cases, control side clock frequency data  $\omega_1$  is not transmitted to the receiving side, then ultimately control will not be applied to receiver clock. There is the chance, then, that frequency aberrations will arise and that overflow or underflow will occur within buffer memory circuit (22). However, the volume of transmitter clock frequency data is extremely small compared to image signals. However, if adequate error correction occurs in response to packet loss (for example, by transmitting a multiple line), the drop in transmission efficacy can be overlooked and will be absolutely no problem in terms of actual use.

Figure 2 depicts operative principles relating to one embodiment of this invention.

In order to match the transmitter oscillation frequency  $\omega_1$  and the receiver oscillation frequency  $\omega_3$ , a relative frequency  $\omega_1.\omega_0$  is found that both can use and which has  $\omega_3$  as its standard frequency (the previously mentioned ATM clock). These are compared and receiver oscillation frequency  $\omega_3$  is controlled.

Figure 3 depicts a simpler representation of Figure 2 and results in a general negative return control loop. The meaning of  $\omega.\omega_0.\Delta\omega$  is the same as Figure 2.  $K_d$  is a parameter pertaining to loop gain.  $F(s)$  is a loop filter.  $K_v$  is the frequency control sensitivity of the receiver oscillator. When  $\omega(s)$ ,  $\omega_0(s)$ , and  $\Delta\omega(s)$  represent Laplace transformed  $\omega_1(t)$ ,  $\omega_0(t)$ , and  $\Delta\omega(t)$

respectively, then:

$$\Delta \omega(s) = \omega_1(s) - \omega_0(s) \quad \dots (1)$$

$$\begin{aligned} \Delta \omega(s) &= K_d \cdot P(s) \cdot K_v + \Delta \omega(s) \\ &= \omega_0(s) \quad \dots (2) \end{aligned}$$

From (1) and (2):

$$\omega_0(s) = \frac{K_d \cdot K_v \cdot P(s) \cdot \omega_1(s) + \Delta \omega(s)}{1 + K_d \cdot K_v \cdot P(s)}$$

When  $K_d \cdot K_v \cdot F(s) \gg 1$

$$\omega_0(s) = \omega_1(s) + \frac{\Delta \omega(s)}{K_d \cdot K_v \cdot P(s)} \quad \dots (3)$$

When  $f(s)$  is a completely integrated type loop filter, such as:

$$P(s) = a + \frac{b}{s}$$

(in which  $a, b \neq 0$  is a constant)

and  $\Delta \omega(s) \approx \text{const.}$ , then

$$\omega_0(s) = \omega_1(s)$$

and, as discussed above, regular frequency aberrations will not occur.

The above mentioned supposition  $\Delta \omega(s) \approx \text{const.}$  can be achieved without any problems if a crystal accuracy oscillator is used in each clock generating source. Even if that is not the



case, this is easy to resolve by transmitting the transmitter clock frequency data  $\omega_1$  at a lower cycle and by increasing the speed of the control loop cycle, relative to the receiver clock frequency, by widening the  $F(s)$  band.

Moreover, the preceding embodiments concerned examples in which the invention is used to transmit image signal packets. However, if these are continuous information signals, then obviously the invention can also be used to transmit packets of audio signals and other information signals.

#### [Results of the Invention]

With the present invention, when television signals and audio signals are transmitted as packets, no costly devices such as frame synchronizers are used, nor devices that will cause problems in terms of information signal quality. A phase synchronization loop that makes realization difficult in terms of performance is not used either. Another result is that clock synchronization between transmitter and receiver can be established without the affect of fluctuations in arrival time that inevitably occur in packet transmission systems.

#### 4. Brief Description of the Figures

Figure 1 is a block diagram depicting the structure of one embodiment of a packet transmission system using the clock synchronization format of this invention. Figure 2 is a diagram explaining the operative principles of this invention. Figure 3 is a block diagram depicting the frequency control loop of Figure 2. Figure 4 is a block diagram depicting a summary of clock synchronization in a packet transmission system. Figure 5 and

Figure 6 are, respectively, block diagrams that explain the clock synchronization format in conventional packet transmissions.

13 ... image coding circuit    14 ... interface circuit  
15 ... counter circuit used to detect the relative frequency of  
the transmitter clock    16 ... dividing circuit used to detect the  
relative frequency of the transmitter clock  
20... ATM network (packet transmission network)  
21... packet resolution network    22...buffer memory circuit  
(storage means)    23...dividing circuit used to detect the relative  
frequency of the receiver clock    24... counter circuit used to  
detect the relative frequency of the receiver clock  
25... subtraction circuit (comparison means)    26...loop filter  
(frequency control means), 27...variable frequency clock  
generation circuit    28...image decoding circuit.

Applicant's Agent:    Takehiko Suzue, Patent Attorney

質上問題のある装置を用いたり、位相上異相の難しい位相同期ループを用いることなく、またパケット伝送系で必然的に生じるパケット到着時間のばらばらなどに影響されずに、送受信間のクロック同期を確立できるという効果が得られる。

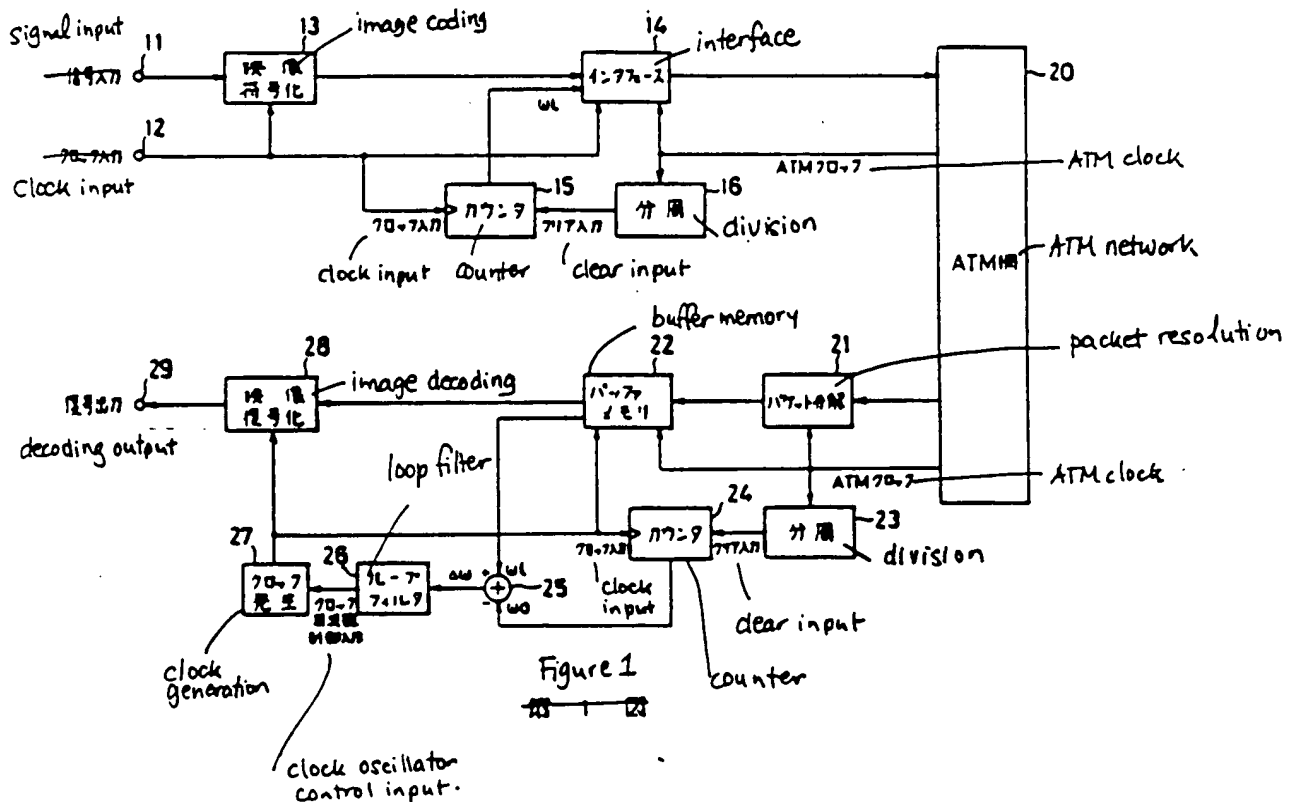
4. 図面の簡単な説明

第1図は本発明のクロック同期方式を適用したパケット伝送システムの一実施例の構成を示すブロック図、第2図は本発明の動作原理を説明するための図、第3図は第2図の周波数制御ループを示すブロック図、第4図はパケット伝送システムにおけるクロック同期の概要を示すブロック図、第5図および第6図はそれぞれ従来のパケット伝送におけるクロック同期方式を説明するためのブロック図である。

13…映像符号化回路、14…インタフェース回路、15…送信側クロックの周波数分周回路、16…送信側クロックの周波数分周回路、

20…ATM網（パケット伝送網）、21…パケット分周回路、22…バッファメモリ回路（記憶手段）、23…受信側クロックの周波数分周回路、24…受信側クロックの周波数分周回路カウンタ回路、25…減算回路（比較手段）、26…ループフィルタ（周波数制御手段）、27…可変周波数クロック発生回路、28…映像符号化回路。

出願人代理人 弁護士 持江 武彦



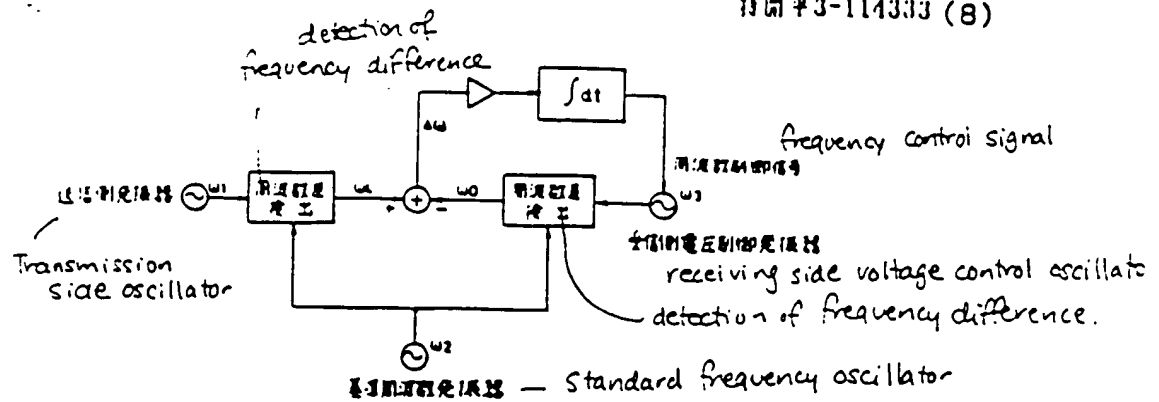


Figure 2

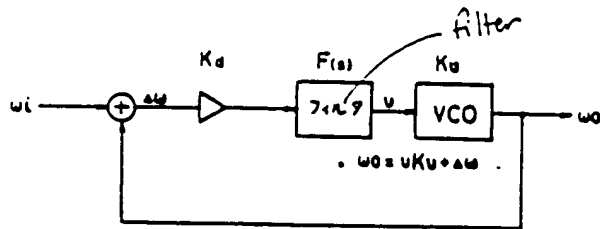


Figure 3

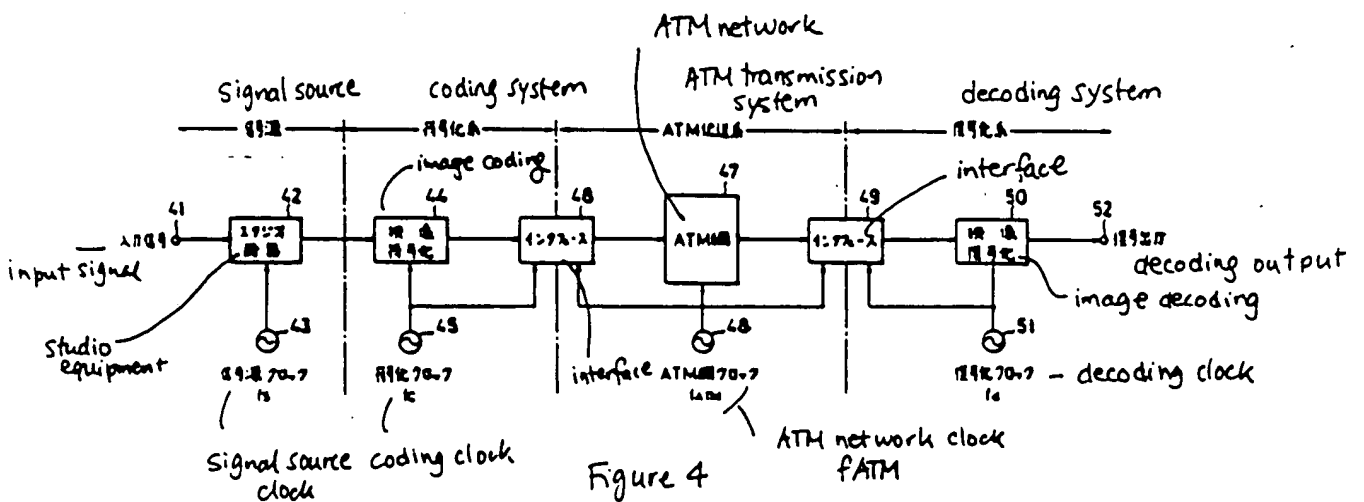
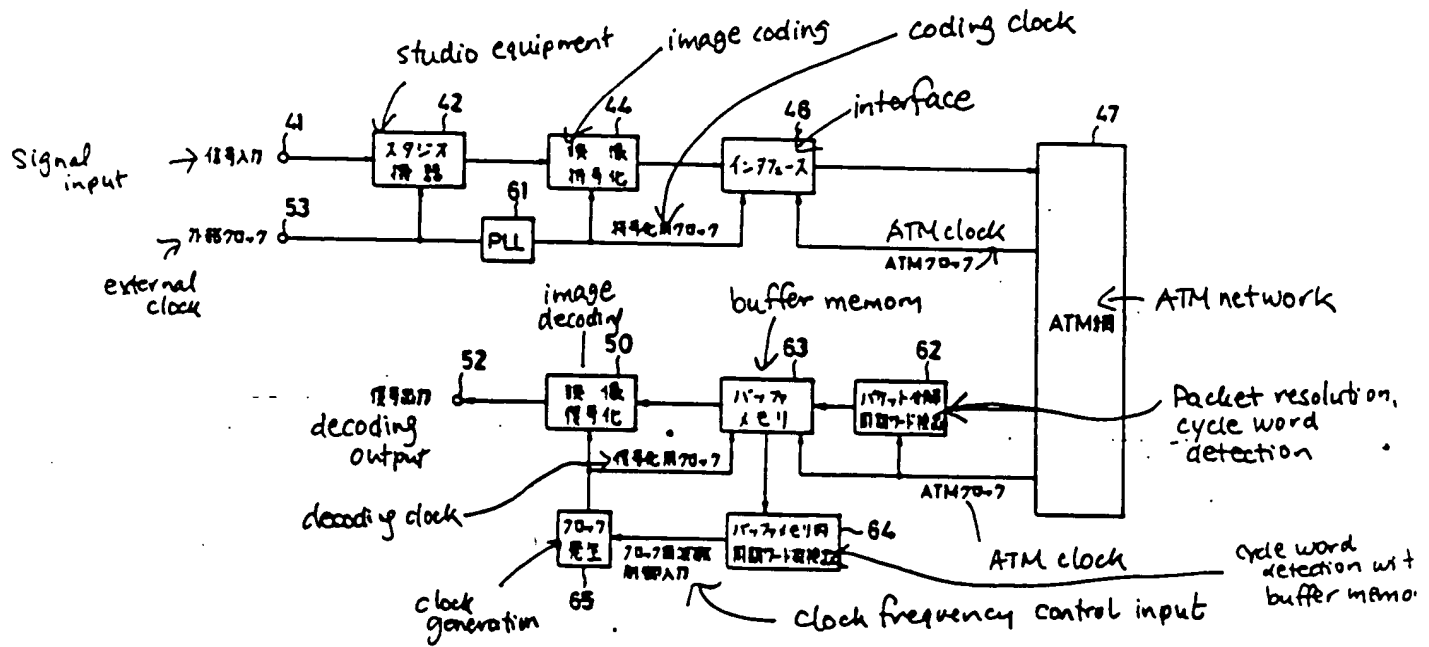
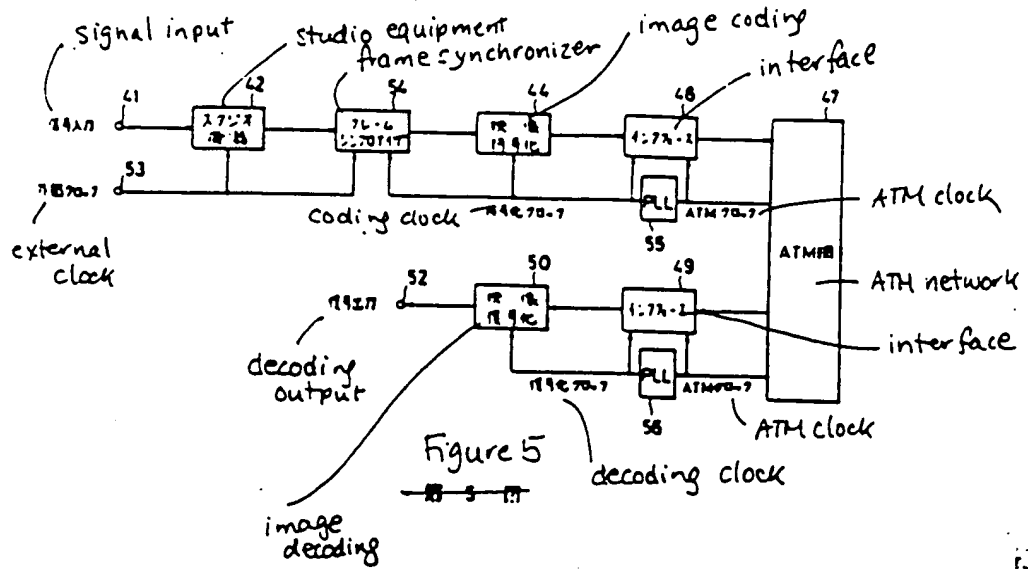


Figure 4

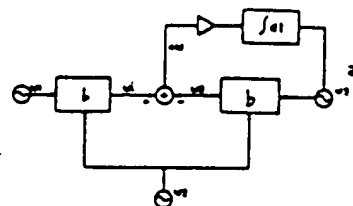


(54) CLOCK SYNCHRONIZING SYSTEM IN PACKET TRANSMISSION AND  
PACKET TRANSMITTER AND PACKET RECEIVER

(11) 3-114333 (A) (43) 15.5.1991 (19) JP  
(21) Appl. No. 64-250443 (22) 28.9.1989  
(71) TOSHIBA CORP (72) TATSUYA ISHIKAWA(1)  
(51) Int. Cl.<sup>3</sup> H04L12/48, H04L7/00, H04N7/00

**PURPOSE:** To simply constitute the circuit and to stably establish clock synchronization between the transmitter and the receiver by controlling the frequency of a clock of the receiver so that each relative frequency of the transmitter and receiver clocks with respect to a clock (ATM clock) of a packet transmission network is coincident.

**CONSTITUTION:** In order to make a sender oscillating frequency  $\omega_1$  and a receiver oscillating frequency  $\omega_2$  coincident, relative frequencies  $\omega_1$ ,  $\omega_2$  with respect to a reference oscillating frequency  $\omega_0$  available for the both (equivalent to ATM clock) are obtained. Then the frequencies are compared to control the receiver oscillating frequency  $\omega_2$ . Thus, in the case of packet transmission for a television signal or an audio signal, the clock synchronization between the transmitter and the receiver is established without use of an expensive equipment but having a problem in the quality of the information signal or use of a phase locked loop difficult of realization in the performance and without being affected by fluctuation of the packet arrival time.



a: frequency control signal, b: frequency error detection

⑯ 公開特許公報(A) 平3-114333

⑰ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑱ 公開 平成3年(1991)5月15日

H 04 L 12/48

7/00

H 04 N 7/00

A  
Z

8949-5K

8838-5C

7830-5K

H 04 L 11/20

Z

審査請求 未請求 請求項の枚数 3 (全9頁)

⑲ 発明の名称 バケット伝送におけるクロック同期方式とバケット送信装置およびバケット受信装置

⑳ 特 願 平1-250443

㉑ 出 願 平1(1989)9月28日

㉒ 発 明 者 石 川 遼 也 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉓ 発 明 者 高 比 呂 志 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉔ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉕ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

バケット伝送におけるクロック同期方式とバケット送信装置およびバケット受信装置

2. 特許請求の範囲

(1) 所定周波数のクロックで動作するバケット伝送側を介して情報信号を送送するシステムにおいて、

送信側から前記バケット伝送側のクロックに対する送信側クロックの相対周波数を示す送信側クロック周波数データを情報信号データとともにバケット化して送信し、受信側で前記バケット伝送側のクロックに対する受信側クロックの相対周波数を示す受信側クロック周波数データと、受信された前記送信側クロック周波数データとを比較し、この比較結果に基づいて前記受信側クロックの周波数を制御することにより、送信側クロックと受信側クロックとを同期させることを特徴とするバケット伝送におけるクロック同期方式。

(2) バケット伝送側のクロックに対する送信側クロックの相対周波数を検出して該相対周波数を示す送信側クロック周波数データを発生する手段と、

前記送信側クロック周波数データを情報信号データと共にバケット化して送信する手段とを有することを特徴とするバケット送信装置。

(3) バケット伝送側から送信されるバケット内の情報信号データおよび送信側クロック周波数データを分解する手段と、

分解された情報信号データおよび送信側クロック周波数データを一時記憶する記憶手段と、

バケット伝送側のクロックに対する受信側クロックの相対周波数を検出して該相対周波数を示す受信側クロック周波数データを発生する手段と、

前記記憶手段に記憶された送信側クロック周波数データと前記受信側クロック周波数データとを比較する比較手段と、

この比較手段の比較結果に基づいて前記受信

調クロックの周波数を制御する手段と

を有することを特徴とするパケット受信装置。

### 3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

この発明は、テレビジョン信号、音声信号などの時間的に途切れるとされることのない連続的な情報信号をパケット化して伝送するシステムにおいて、送信側クロックと受信側クロックとの同期をとるためのクロック同期方式と、このクロック同期方式を適用したパケット送信装置およびパケット受信装置に関する。

(従来の技術)

テレビジョン信号(映像信号)や音声信号の伝送には、従来より固定速度の伝送路が用いられて来た。ところが近年では、広帯域ISDN(Integrated services digital network)の非同期転送モード(固定長セルを用いたパケット伝送モード、以下ATMという)の普及に見られるように、伝送路の有効利用のためテレビ

ジョン信号や音声信号などの連続的に発生する情報をパケット化して伝送しようとする試みがある。

テレビジョン信号や音声信号は単に標本化・量子化(PCM符号化)を行なっただけでは固定速度の情報であるが、信号の固有の冗長度および復号化上の冗長度を除去する高効率符号化を行なうと、一般に可変速度の情報となる。このような可変速度の情報については、固定速度の伝送路を用いるより、ATMのような可変速度の伝送系を用いた方が効率的であり、かつ符号化品質も高く保たれるという利点がある。

ところで、パケット伝送においては、送受信側のクロック同期が確立されていることが重要である。クロック同期が確立されていないと符号化データ量と復号化データ量が異なってしまう、正常な復号化ができないからである。ATMによるテレビジョン信号などの伝送においては、ATM網が有するクロックと情報源のクロックの同期(ビット同期)についても考慮する必要

がある。即ち、ATM伝送系では個々の情報源のビットレート等についてビット同期がとれるように考慮されている訳ではないので、ATM網に接続する個々の端末(テレビジョン信号の符号化装置・復号化装置など)でそれぞれ対応しなければならない。第4図に、ATM網を介したテレビジョン信号伝送における送信側および受信側の同期関係を示す。

第4図において、信号源で端子41に入力されるテレビジョン映像信号は、例えばスタジオ機器42によりクロック発生部43からのクロック(周波数f)を標本化周波数としてディジタル化される。このディジタル化映像信号(以下の説明では全てディジタル化された場合なので、単に映像信号という。)は符号化系に入力され、クロック発生部45からの符号化用クロック(周波数fc)で動作する映像符号化回路44で高効率符号化された後、第1のインタフェース部46へ入力される。インタフェース部46は符号化系とATM伝送(パケット伝

送)系を接続するためのもので、パケット化バッファメモリ、パケットヘッダ付加回路などから構成される。

第2のインタフェース部46でパケット化された映像信号は、クロック発生部48からのクロック(周波数f<sub>ATM</sub>)で動作するATM網47を経てインタフェース部46と逆の処理を行なう第2のインタフェース部49へ入力される。第2のインタフェース部49でパケット分解された映像信号は、クロック発生部51からの復号化用クロック(周波数fd)で動作する映像復号化回路50により復号化され、端子52より出力される。

この第4図の系では信号源、符号化、ATM伝送、復号化がそれぞれ独立したクロック発生部43、45、48、51を用いて動作するため、何らかの方法でクロック同期をとる必要がある。即ち、回線モードのような同期伝送系では各部のクロックは全て準同期に位相同期されているのに対し、ATM伝送系のようなパケット



伝送系は、一般に特定の信号源および増大装置との接続方法を考慮していないため、固有のクロック周波数（第4図では $f_{ATM}$ ）で動作している。従って、信号源クロック（ $f_s$ ）が外部から供給される場合には、一般に符号化用クロックとATMクロックとの間で $f_s / (f_{ATM} - n/m)$ （ $n, m$ は整数）となる周波数比での位相同期関係を得てない。

さらに、符号化用クロック周波数 $f_c$ と復号化用クロック周波数 $f_d$ は同一周波数でなければならないが、符号化回路44と復号化回路50の間には、固有のクロック周波数 $f_{ATM}$ を用いるATM伝送系が存在するため、符号化用クロックと復号化用クロックを位相同期させることは不可能である。

以上の問題に関して、従来では次の二つの対策が考えられている。

(1) 符号化用クロックとATMクロックおよび復号化用クロックを位相同期させ（具体的には、ATMクロックを基準に、符号化用クロッ

クと復号化用クロックをそれぞれ同期させる）、信号源クロックは独立のままとする。このとき信号源と復号化回路が非同期となるので、フレームシンクロナイズを用いてこの間のインタフェースを行う。

(2) 信号源クロックと符号化用クロックをまず位相同期させておき、非同期のATMクロックの伝送系へそのまま出力する。この時のインタフェースは第4図のインタフェース部6で行なう。この場合、当然ATM伝送系出力と復号化用クロックは非同期となるため、復号化回路では何らかの方法で復号化用クロックを制御して、符号化用クロックと一致するようにする。

第5図および第6図に、上記(1)、(2)の方法を用いた場合のブロック図をそれぞれ示す。

第5図では回線モードの同期伝送系と同様に、符号化回路44とATM部47および復号化回路50を事前にPLL回路55、56を用いて位相同期させる。しかし、前述した通りATM部で用いるクロック周波数 $f_{ATM}$ は、 $f_c$ および

$f_d$ との整数比の関係を全く考慮せず決定されているため、一般に信号源クロックとATMクロックとの間記 $n/m$ の周波数比は複雑になって、かつ位相同期ループにおける比較周波数が極めて小さくなり、PLL回路55、56を安定に動作させることが難しいという欠点がある。

さらに、端子53に外部から入力される信号源クロックは他のクロックとは独立に作られるため、フレームシンクロナイザ54を用いてクロック周波数の変換を行なわなければならない。フレームシンクロナイザ54は映像フレームメモリを有し、このメモリに任意クロックで書き込み、かつ任意クロックで読み出すため、非同期の映像処理系を構築することが可能であるが、高価であるばかりでなく、映像フレームのスキップ（飛越し、反復処理）を行なうために画面上問題が生ずる場合があり、また映像と音声の相対遅延時間が大きく変化するなどの欠点がある。

第6図は、端子53より入力される信号源クロックと符号化用クロックをPLL回路61により事前に位相同期させて、復号化回路50で独自にクロック周波数の同期を保つ例である。復号化回路50では、予めバケット内に多重された映像水平・垂直同期信号などを検出して、この同期信号が復号化処理時に定期的に現われるように、クロック発生回路65から出力される復号化用クロックの周波数を制御する。即ち、バケット分解・同期ワード検出回路62（ATMクロックで動作）から出力される同期ワードを映像符号化データと分離してATMクロックでバッファメモリ63に書き込み、復号化用クロックを用いて読み出す時、バッファメモリ63内に存在する同期ワード数を同期ワード数検出回路64で検出して復号化用クロック周波数を制御する。バッファメモリ63内の同期ワード数は、各時点における同期ワードの通過量を意味しており、これが一定であれば符号化側と復号化側のクロック周波数が一致したことに

なる。

上記(2)の方法を用いると、(1)で問題となった符号化・復号化用クロックとATMクロックの同期上の困難さが克服され、またフレームシンクロナイズも不要となるが、次の欠点が存在する。即ち、ATM側はパケット伝送系であるため、映像符号化データが一定速度で伝送される訳ではなく、側の空き状態によって受信側に到着するパケットには時間的な揺らぎがある。この揺らぎは長時間の観分においては当然サンセルされるものであるが、相当低い周波数成分を有することが考えられ、これが復号化用クロックの周波数制御の安定度に影響を与える。従って、復号化用クロックはATM側の状態の影響によって低周波のジッタを多く含んでしまう。

(発明が解決しようとする課題)

上述したように、従来、映像信号などをパケット伝送する場合、比較周波数の極めて低い位相同期ループとフレームシンクロナイズを必要

とするか、またはATM側の状態の影響を受けやすい復号化用クロックの周波数制御が必要となるなど、回路的な実現の困難さと、性能上の問題があった。

本発明は映像信号などのパケット伝送において、回路的に簡単な構成で、送受信側のクロック同期を安定に確立できるクロック同期方式と、このクロック同期方式を用いたパケット送信装置およびパケット受信装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明のクロック同期方式は上記の目的を達成するために、送信側からパケット伝送側のクロックに対する送信側クロックの相対周波数を示す送信側クロック周波数データを情報信号とともにパケット伝送し、受信側でパケット伝送側のクロックに対する受信側クロックの相対周波数を示す受信側クロック周波数データと、受信された送信側クロック周波数データとを比較

し、この比較結果に基づいて受信側クロックの周波数を制御することにより、送信側クロックと受信側クロックとを同期させることを特徴とする。

また、本発明によるパケット送信装置は、パケット伝送側から供給されるクロックに対する送信側クロックの相対周波数を検出して該相対周波数を示す送信側クロック周波数データを発生する手段と、送信側クロック周波数データを情報信号データと共にパケット化して送信する手段とを有する。

さらに、本発明によるパケット送信装置は、パケット伝送側から送信されるパケット内の情報信号データおよび送信側クロック周波数データを分解する手段と、分解された情報信号データおよび送信側クロック周波数データを一時記憶する記憶手段と、パケット伝送側から供給されるクロックに対する受信側クロックの相対周波数を検出して該相対周波数を示す受信側クロック周波数データを発生する手段と、記憶され

た送信側クロック周波数データと受信側クロック周波数データとを比較する比較手段と、この比較手段の比較結果に基づいて受信側クロックの周波数を制御する手段とを有する。

(作用)

一般に、発振器から出力されるクロックの周波数を精度良く検出することは困難であり、また二つの独立な発振器からのクロックの周波数を検出して、両者の周波数差を完全になくすように制御することも極めて難しい。

本発明では、送信側および受信側のクロック周波数の検出において絶対精度を要求せず、パケット伝送側から供給されるクロックを基準として相対周波数の形で検出を行ない、送信側クロック周波数のデータを受信側に知らせることにより、送信側および受信側間のクロック同期を確立するものである。即ち、受信側に知らされた送信側クロック周波数データは、受信側での同様な相対周波数を示す受信側クロック周波数データと比較され、その比較結果によってパ

ケット伝送側のクロックに対する送信側および受信側クロックのそれぞれの相対周波数が一致するように、受信側クロックの周波数が制御される。

このように本発明のクロック同期方式は基本的に周波数制御であり、位相同期を達成するものではないが、一般にパケット伝送系には必ず一時記憶手段としてのバッファメモリが含まれており、このバッファメモリによって送受クロックの位相誤差は吸収される。また、制御ループの過応答時の周波数誤差もバッファメモリで吸収される。

#### (実施例)

以下、図面を参照して本発明の実施例を説明する。

第1図は本発明のクロック同期方式を適用した映像パケット伝送システムの送信側および受信側の要部のブロック図である。

まず、送信側において、信号入力端子11に入力された映像信号は、映像信号に同期して外

部からクロック入力端子12に供給された受信側クロック（以下、符号化用クロックという）とともに、信号処理回路である例えば映像符号化回路13に入力され、符号化される。この符号化回路13の出力は、インタフェース回路14へ入力される。インタフェース回路14は、パケット伝送のためのパケット化回路およびクロック周波数変換用のバッファメモリ回路などから構成されている。また、端子12に入力される符号化用クロックは、カウンタ15のクロック入力にも与えられる。

パケット伝送側であるATM側20から送信側に供給されるクロック（以下、ATMクロックという）は、インタフェース回路14に入力されると同時に、分周回路16にも入力され、分周回路16でATMクロック周波数の $1/N$ （ $N$ は正の整数）の周波数を有するパルスが作られる。このパルスはカウンタ回路15のカウント・クリア入力に与えられる。このカウンタ回路15はATMクロックを基準とした一定期

間内での符号化用クロックの数をカウントし、カウント結果を出力する。このカウント結果は、ATMクロックの周波数を基準とした符号化用クロックの周波数の相対周波数を示すデータ $\omega_1$ （これを送信側クロック周波数データという）であり、インタフェース回路14を介して、符号化された映像信号とともに伝送パケット内に多重され、ATM側20へ送出される。

一方、受信側では受信パケットがパケット分解回路21で分解され、ATMクロックに同期して順次バッファメモリ回路22に蓄えられる。この場合、バッファメモリ回路22にはパケット内に多重化されている映像信号および送信側クロック周波数データ $\omega_1$ が蓄えられる。

また、ATM側20から受信側に供給されたATMクロックは送信側と全く同様に、分周回路23で $1/N$ の周波数に分周された後、カウンタ回路24のカウント・クリア入力に与えられる。このカウンタ回路24はATMクロックを基準とした一定期間内での受信側クロック

（以下、復号化用クロックという）の数をカウントし、カウント結果を出力する。このカウント結果は、ATMクロックの周波数を基準とした、復号化用クロックの相対周波数を示すデータ $\omega_0$ （以下、これを受信側クロック周波数データという）である。このカウンタ回路24のカウント結果である受信側クロック周波数データ $\omega_0$ は、減算回路25の減算入力端子へ入力される。減算回路25の加算入力端子には、バッファメモリ22から復号化用クロックで取出された送信側クロック周波数データ $\omega_1$ が入力される。従って、減算回路25からは $\omega_1 - \omega_0 - \Delta\omega$ なる二つの相対周波数の差の信号が出力される。

減算回路25の出力は、ループフィルタ26により積分された後、復号化用クロックを得るための可変周波数のクロック発生回路27の制御入力端子へ入力される。ループフィルタ26としては、リークのない完全積分形フィルタが好適である。ここで、例えば $\Delta\omega > 0$

( $\omega_1 > \omega_0$ ) の時には復号化用クロックの周波数が高くなり、 $\Delta\omega < 0$  の時には復号化用クロックの周波数が低くなるように帰還制御ループを構成すれば、復号化用クロックも A T M クロックに同期することになり、結局、符号化用クロック(送信側クロック)と復号化用クロック(受信側クロック)との同期を確立することができる。この場合、ループフィルタ 26 の積分作用により、定常的な周波数誤差も発生しない。

尚、A T M 図 20 でパケットの到着時間にばらばらが生じて、バッファメモリ回路 22 で収容されることにより、受信側クロックに対する制御ループは影響を受けず、極めて安定に保たれる。但し A T M 図 20 では、その利用状況によって確率的にパケットが抜けるという、いわゆるパケット損失が生じる。その場合、もし送信側クロック周波数データ  $\omega_1$  が受信側に伝送されないということになると、結果的に受信側クロックに対する制御がかからなくなって周波

数誤差が発生し、バッファメモリ回路 22 でオーバーフローまたはアンダーフローが起こる可能性がある。しかし、この送信側クロック周波数データは、データ量が映像信号に比較して極めて少ないから、パケット損失に対応するために十分な誤り訂正(例えば誤数回の伝送による)を行なっても伝送効率の低下は無視しうるものであり、実用上問題は全くない。

第 2 図は本発明の一実施例に関する動作原理図である。

送信側発振周波数  $\omega_1$  と受信側発振周波数  $\omega_0$  を一致させるために、双方で利用可能な基準発振周波数  $\omega_0$  (前述の A T M クロックに相当する。)に対する相対的な周波数  $\omega_1/\omega_0$  を求め、これらと比較して受信側発振周波数  $\omega_0$  を制御する。

第 2 図をさらに簡単に表わすと、第 3 図に示すようになり、一般的な負帰還制御ループに帰着される。 $\omega_1/\omega_0$ 、 $\Delta\omega$  の意味は、第 2 図と同じである。 $K_d$  はループのゲインに関するパラメ

ータ、 $F(s)$  はループフィルタ、 $K_v$  は受信側発振器の周波数制御感度である。 $\omega_1(i)$ 、 $\omega_0(i)$ 、 $\Delta\omega(i)$  をそれぞれラプラス変換したものを  $\omega_1(s)$ 、 $\omega_0(s)$ 、 $\Delta\omega(s)$  とすると、

$$\Delta\omega(s) = \omega_1(s) - \omega_0(s) \quad \dots (1)$$

$$\begin{aligned} \Delta\omega(s) &= K_d \cdot F(s) \cdot K_v + \Delta\omega(s) \\ &= \omega_0(s) \quad \dots (2) \end{aligned}$$

(1)、(2) から

$$\omega_0(s) = \frac{K_d \cdot K_v \cdot F(s) \cdot \omega_1(s) + \Delta\omega(s)}{1 + K_d \cdot K_v \cdot F(s)}$$

$K_d \cdot K_v \cdot F(s) \gg 1$  のとき

$$\omega_0(s) = \omega_1(s) + \frac{\Delta\omega(s)}{K_d \cdot K_v \cdot F(s)} \quad \dots (3)$$

となる。 $F(s)$  を完全積分形のループフィルタとして例えば

$$F(s) = a + \frac{b}{s}$$

( $a$ 、 $b \neq 0$  は定数)

とし、 $\Delta\omega(s) = \text{const.}$  とすると、

$$\lim_{s \rightarrow 0} \omega_0(s) = \omega_1(s)$$

となり、前述したように定常的な周波数誤差は生じない。

尚、上記の  $\Delta\omega(s) = \text{const.}$  なる仮定は、各クロック発生源に水晶精度の発振器を用いれば何ら問題なく達成されるものであり、そうでない場合でも送信側クロック周波数データ  $\omega_1$  をより短い周期で伝送し、かつ  $F(s)$  の帯域を広げることで受信側クロック周波数に対する制御ループを高速度化することにより容易に解決される。

尚、以上の実施例においては映像信号のパケット伝送に本発明を適用した場合について説明したが、通話的な情報信号であれば、音声信号その他の情報信号のパケット伝送にも本発明を同様に適用できることは明らかである。

〔発明の効果〕

本発明によれば、テレビジョン信号や音声信号などをパケット伝送する際に、フレームシンクロナイズなどの高周波で、しかも情報信号の品

質上問題のある装置を用いたり、性能上実現の難しい位相同期ループを用いることなく、またパケット伝送系で必然的に生じるパケット到着時間の揺らぎなどに影響されずに、送受信間のクロック同期を確立できるという効果が得られる。

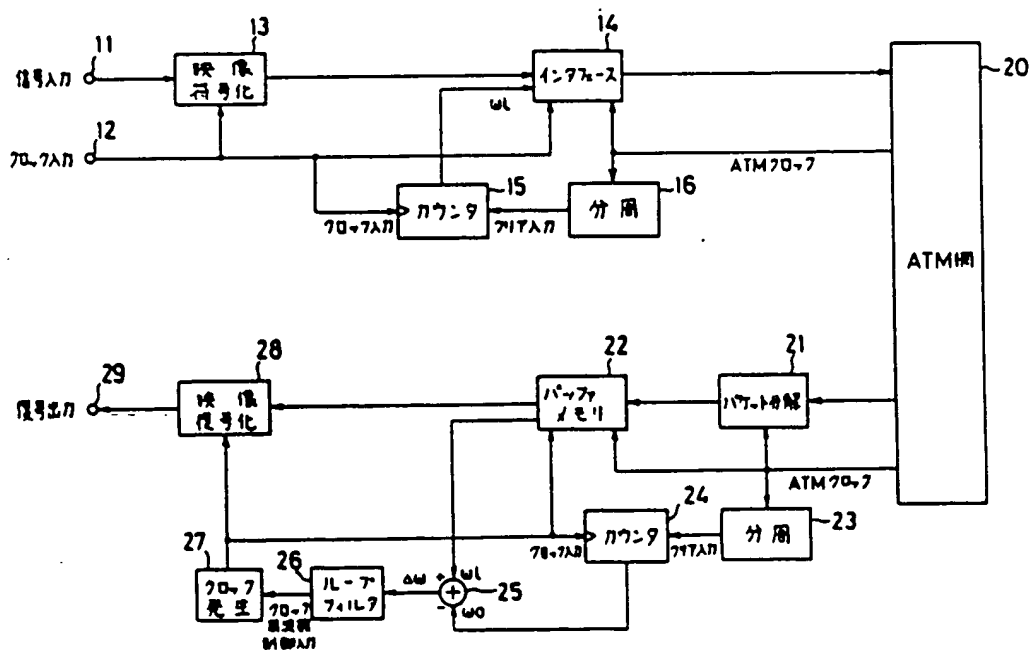
#### 4. 図面の簡単な説明

第1図は本発明のクロック同期方式を適用したパケット伝送システムの一実施例の構成を示すブロック図、第2図は本発明の動作原理を説明するための図、第3図は第2図の周波数制御ループを示すブロック図、第4図はパケット伝送システムにおけるクロック同期の概要を示すブロック図、第5図および第6図はそれぞれ従来のパケット伝送におけるクロック同期方式を説明するためのブロック図である。

13…映像符号化回路、14…インタフェース回路、15…送信側クロックの相対周波数検出用カウンタ回路、16…送信側クロックの相対周波数検出用分周回路、

20…ATM網（パケット伝送網）、21…パケット分解回路、22…バッファメモリ回路（記憶手段）、23…受信側クロックの相対周波数検出用分周回路、24…受信側クロックの相対周波数検出用カウンタ回路、25…計算回路（比較手段）、26…ループフィルタ（周波数制御手段）、27…可変周波数クロック発生回路、28…映像復号化回路。

出願人代理人 弁理士 持江武彦



第 1 図

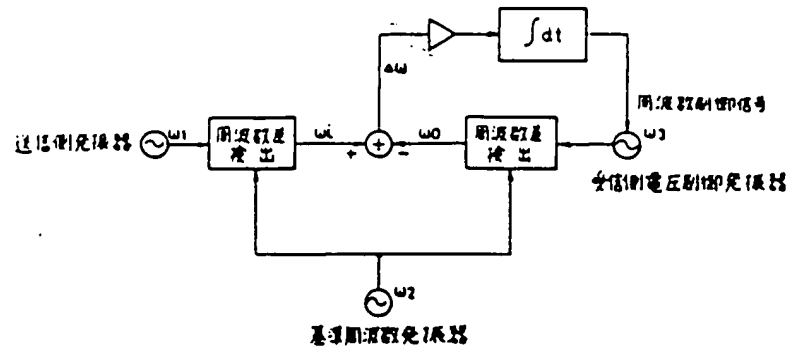


図 2

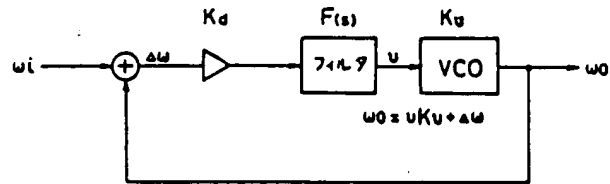


図 3

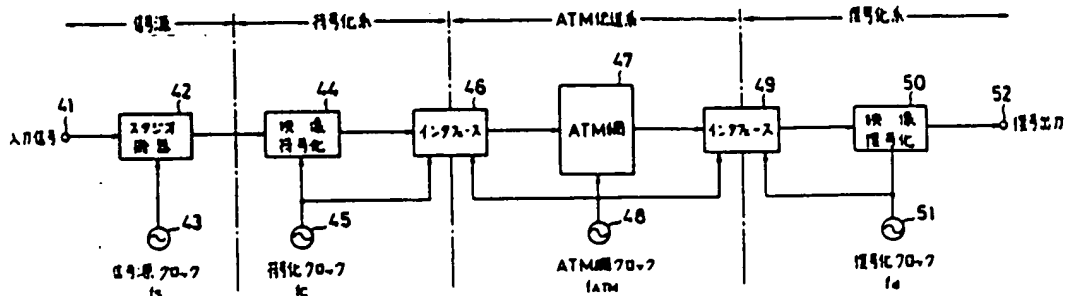


図 4

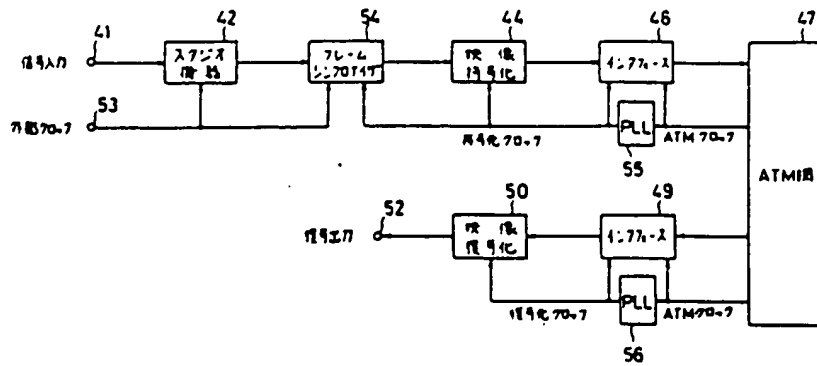


図 5

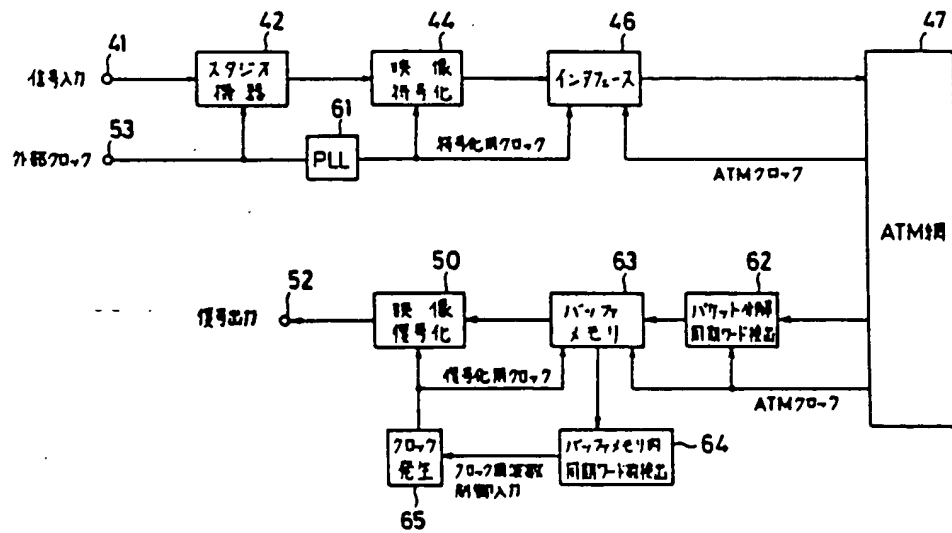


図 6

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**